

INTERNATIONAL STANDARD

NORME INTERNATIONALE

Fibre optic active components and devices – Package and interface standards – Part 21: Design guide of electrical interface of PIC packages using silicon fine-pitch ball grid array (S-FBGA) and silicon fine-pitch land grid array (S-FLGA)

Composants et dispositifs actifs fibroniques – Normes de boîtier et d'interface – Partie 21: Guide de conception de l'interface électrique des boîtiers PIC utilisant des boîtiers matriciels à billes et à pas fins en silicium (S-FBGA) et des boîtiers matriciels à zone de contact plate et à pas fins en silicium (S-FLGA)



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2019 IEC, Geneva, Switzerland

All rights reserved. Unless otherwise specified, no part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from either IEC or IEC's member National Committee in the country of the requester. If you have any questions about IEC copyright or have an enquiry about obtaining additional rights to this publication, please contact the address below or your local IEC member National Committee for further information.

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Central Office
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11
info@iec.ch
www.iec.ch

About the IEC

The International Electrotechnical Commission (IEC) is the leading global organization that prepares and publishes International Standards for all electrical, electronic and related technologies

About IEC publications

The technical content of IEC publications is kept under constant review by the IEC. Please make sure that you have the latest edition, a corrigendum or an amendment might have been published.

IEC publications search - webstore.iec.ch/advsearchform

The advanced search enables to find IEC publications by a variety of criteria (reference number, text, technical committee,...). It also gives information on projects, replaced and withdrawn publications.

IEC Just Published - webstore.iec.ch/justpublished

Stay up to date on all new IEC publications. Just Published details all new publications released. Available online and once a month by email.

IEC Customer Service Centre - webstore.iec.ch/csc

If you wish to give us your feedback on this publication or need further assistance, please contact the Customer Service Centre: sales@iec.ch.

Electropedia - www.electropedia.org

The world's leading online dictionary on electrotechnology, containing more than 22 000 terminological entries in English and French, with equivalent terms in 16 additional languages. Also known as the International Electrotechnical Vocabulary (IEV) online.

IEC Glossary - std.iec.ch/glossary

67 000 electrotechnical terminology entries in English and French extracted from the Terms and Definitions clause of IEC publications issued since 2002. Some entries have been collected from earlier publications of IEC TC 37, 77, 86 and CISPR.

A propos de l'IEC

La Commission Electrotechnique internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Recherche de publications IEC -

webstore.iec.ch/advsearchform

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études,...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et une fois par mois par email.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: sales@iec.ch.

Electropedia - www.electropedia.org

Le premier dictionnaire d'électrotechnologie en ligne au monde, avec plus de 22 000 articles terminologiques en anglais et en français, ainsi que les termes équivalents dans 16 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

Glossaire IEC - std.iec.ch/glossary

67 000 entrées terminologiques électrotechniques, en anglais et en français, extraites des articles Termes et Définitions des publications IEC parues depuis 2002. Plus certaines entrées antérieures extraites des publications des CE 37, 77, 86 et CISPR de l'IEC.

INTERNATIONAL STANDARD

NORME INTERNATIONALE

Fibre optic active components and devices – Package and interface standards – Part 21: Design guide of electrical interface of PIC packages using silicon fine-pitch ball grid array (S-FBGA) and silicon fine-pitch land grid array (S-FLGA)

Composants et dispositifs actifs fibroniques – Normes de boîtier et d'interface – Partie 21: Guide de conception de l'interface électrique des boîtiers PIC utilisant des boîtiers matriciels à billes et à pas fins en silicium (S-FBGA) et des boîtiers matriciels à zone de contact plate et à pas fins en silicium (S-FLGA)

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 33.180.20

ISBN 978-2-8322-6636-6

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	3
1 Scope.....	5
2 Normative references	5
3 Terms and definitions	5
4 Terminal position numbering.....	6
5 Code of package nominal dimensions.....	6
6 Symbols and drawings.....	6
7 Dimensions and tolerances.....	8
Bibliography.....	13
Figure 1 – S-FBGA and S-FLGA outline.....	7
Figure 2 – Mechanical gauge drawing.....	8
Figure 3 – Array of terminal-existence areas.....	8
Table 1 – Dimensions and tolerances	9
Table 2 – Combination list of D, E, M _D , and M _E for e = 0,30 mm pitch S-FBGA (informative)	11
Table 3 – Combination list of D, E, M _D , and M _E for e = 0,25 mm pitch S-FLGA	12

IECNORM.COM: Click to view the full PDF of IEC 62148-21:2019

INTERNATIONAL ELECTROTECHNICAL COMMISSION

**FIBRE OPTIC ACTIVE COMPONENTS AND DEVICES –
PACKAGE AND INTERFACE STANDARDS –****Part 21: Design guide of electrical interface of PIC
packages using silicon fine-pitch ball grid array (S-FBGA)
and silicon fine-pitch land grid array (S-FLGA)**

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 62148-21 has been prepared by subcommittee 86C: Fibre optic systems and active devices, of IEC technical committee 86: Fibre optics.

The text of this International Standard is based on the following documents:

FDIS	Report on voting
86C/1571/FDIS	86C/1577/RVD

Full information on the voting for the approval of this International Standard can be found in the report on voting indicated in the above table.

This document has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts in the IEC 62148 series, published under the general title *Fibre optic active components and devices – Package and interface standards*, can be found on the IEC website.

The committee has decided that the contents of this document will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific document. At this date, the document will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

IECNORM.COM: Click to view the full PDF of IEC 62148-21:2019
Withdrawn

FIBRE OPTIC ACTIVE COMPONENTS AND DEVICES – PACKAGE AND INTERFACE STANDARDS –

Part 21: Design guide of electrical interface of PIC packages using silicon fine-pitch ball grid array (S-FBGA) and silicon fine-pitch land grid array (S-FLGA)

1 Scope

This part of IEC 62148 covers the design guide of the electrical interface for photonic integrated circuit (PIC) packages using silicon fine-pitch ball grid array (S-FBGA) and silicon fine-pitch land grid array (S-FLGA). In this document, the electrical interface for the S-FBGA package is informative.

The purpose of this document is to specify adequately the electrical interface of PIC packages composed of optical transmitters and receivers that enable mechanical and electrical interchangeability of PIC packages.

2 Normative references

The following documents are referred to in the text in such a way that some or all of their content constitutes requirements of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60050-731, *International Electrotechnical Vocabulary – Chapter 731: Optical fibre communication*

IEC TR 61931, *Fibre optic – Terminology*

3 Terms and definitions

For the purposes of this document, the terms and definitions given in IEC 60050-731, IEC TR 61931 and the following apply.

ISO and IEC maintain terminological databases for use in standardization at the following addresses:

- IEC Electropedia: available at <http://www.electropedia.org/>
- ISO Online browsing platform: available at <http://www.iso.org/obp>

3.1

silicon fine-pitch ball grid array S-FBGA

device composed of silicon die, dielectric layer(s) on the die, rerouting wires from the die pads to outer balls on the dielectric layer(s), and outer balls with heights more than 0,1 mm

Note 1 to entry: This note only applies to the French language.

3.2 silicon fine-pitch land grid array S-FLGA

device composed of silicon die, dielectric layer(s) on the die, rerouting wires from the die pads to outer lands on the dielectric layer(s), and outer lands with heights of 0,1 mm or less

Note 1 to entry: This note only applies to the French language.

4 Terminal position numbering

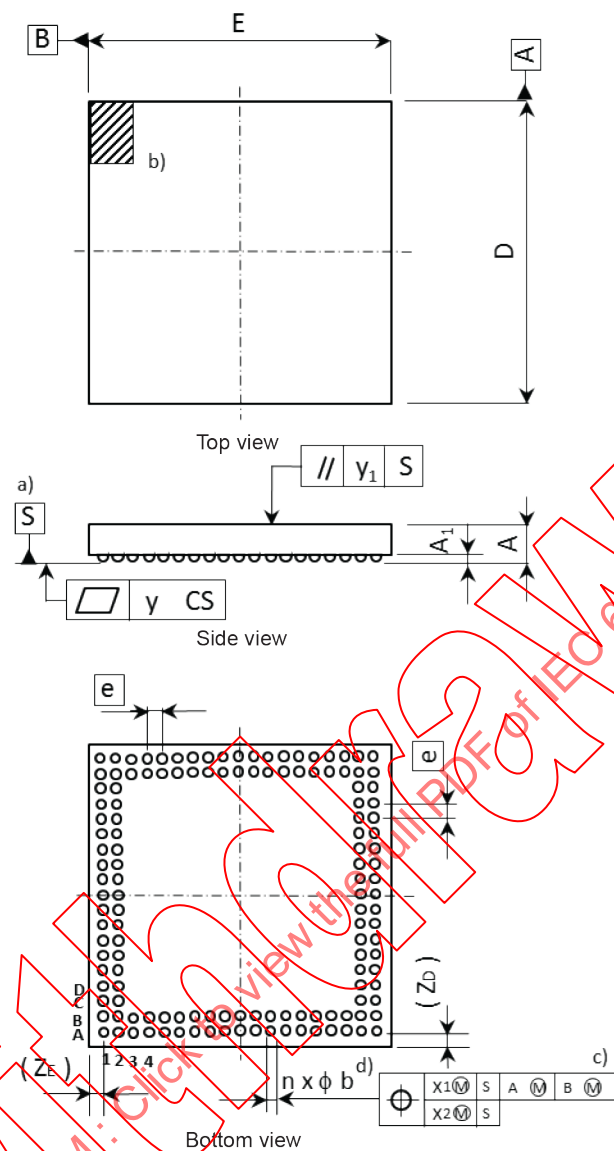
When a package is viewed from the terminal side with the index corner in the bottom left corner position, terminal rows are lettered from bottom to top starting with A, then B, C..., AA, AB, etc.; whereas terminal columns are numbered from left to right starting with 1. Terminal positions are designated by a row-column grid system and shown as alphanumeric identification, for example A1, B1. The letters I, O, Q, S, X and Z shall not be used for naming the terminal rows.

5 Code of package nominal dimensions

A code of package nominal dimensions is defined as the combination of package length E and width D, which are shown to the second decimal place in millimetres.

6 Symbols and drawings

Figure 1 shows the dimensions of the package and the outline of the electrical interface for S-FBGA and S-FLGA. Figures 2 and 3 indicate the mechanical gauge drawing and its array of terminal existence area. Figure 2 shows the terminal existing area referred to Datum S, A and B. Figure 3 shows the terminal existing area referred to Datum S.

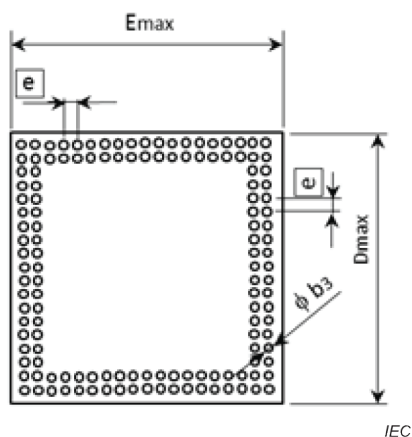


IEC

The letter symbols used in the figure are listed and described in Table 1.

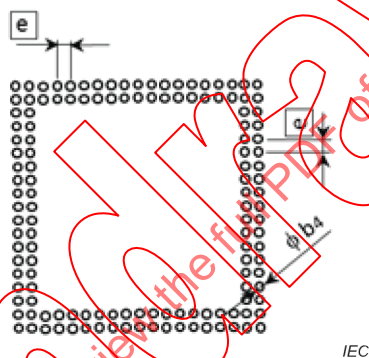
- a) Datum S is the seating plane on which a package stays.
- b) The hatched zone is an index-marking area indicating A1 corner.
- c) True positional tolerances of terminals x1 and x2 are applied to all terminals.
- d) The terminal diameter b is the maximum diameter of the ball as measured in a plane parallel to the seating plane.

Figure 1 – S-FBGA and S-FLGA outline



The letter symbols used in the figure are listed and described in Table 1.

Figure 2 – Mechanical gauge drawing



The letter symbols used in the figure are listed and described in Table 1.

Figure 3 – Array of terminal-existence areas

7 Dimensions and tolerances

Table 1 specifies the tolerance of each symbol parameter; Table 2 and Table 3 indicate the options of D , E , M_D and M_E .

Table 1 – Dimensions and tolerances

Term	Symbol	Specification	Recommended value	Notes
Code of package nominal dimensions	D X E	Code of package nominal dimension is defined as the combination of package width D and package length E, which are shown in the second decimal place	-	-
Package width	D	Package width is shown in the second decimal place Package width D_{nom} Minimum 0,50 Maximum 10,00 Tolerance V_D $\pm 0,05$		V_D denotes tolerance.
Package length	E	Package length is shown in the second decimal place Package length E_{nom} Minimum 0,50 Maximum 10,00 Tolerance V_E $\pm 0,05$		V_E denotes tolerance
Profile height	A	When $A \leq 0,65$, the tolerance of nominal height is $\pm 0,07$. When $0,8 \leq A \leq 1,0$, the tolerance of nominal height is $\pm 0,10$. A shall not exceed 1,0.		A includes package warpage and tilt allowances.
Stand-off height	A1	1) For S-FBGA (informative) $e: 0,3$ $b_{nom}: 0,2$ min 0,1 nom 0,15 max 0,2 For low stand-off S-FBGA $A1 \leq 0,20$ 2) For S-FLGA $e: 0,25$ $A1 \leq 0,10$		
Terminal pitch	e	1) For S-FBGA (informative) 0,3 2) For S-FLGA 0,25		
Terminal diameter	b	1) For S-FBGA (informative) $e: 0,3$ min 0,17 nom 0,20 max 0,23 2) For S-FLGA $e: 0,25$ min 0,10 nom 0,13 max 0,16		

Datum-based positional tolerance of terminals	x1	x1 = 0,08		
Relative positional tolerance of terminals	x2	1) For S-FBGA (informative) e:0,3 x2 = 0,03 2) For S-FLGA e:0,25 x2 = 0,03		
Coplanarity	y	1) For S-FBGA (informative) e:0,3 y = 0,05 2) For S-FLGA e:0,25 y = 0,05		
Parallelism of the top surface	y1	y1 = 0,08		
Number of terminals	n	$n = M_D \times M_E$ $(M_D - 1) \times M_E$ $M_D \times (M_E - 1)$ $(M_D - 1) \times (M_E - 1)$ $M_E \leq (E - b_{max} - V_E - x1 - x2) / e + 1$ $M_D \leq (D - b_{max} - V_D - x1 - x2) / e + 1$	Numbers of matrices in M_E and M_D are shown in Table 3.	
Maximum matrix size in length	M_E			
Maximum matrix size in width	M_D			
Overhang dimension in width	Z_D	$Z_D = [D_{nom} - (M_D - 1) \times e] / 2$	-	Reference value
Overhang dimension in length	Z_E	$Z_E = [E_{nom} - (M_E - 1) \times e] / 2$	-	Reference value
Datum-defined Terminal-existence area	b3	b3 = bmax + x1		
Relative Terminal existence area	b4	b4 = bmax + x2		
NOTE Dimensions are in millimetres.				

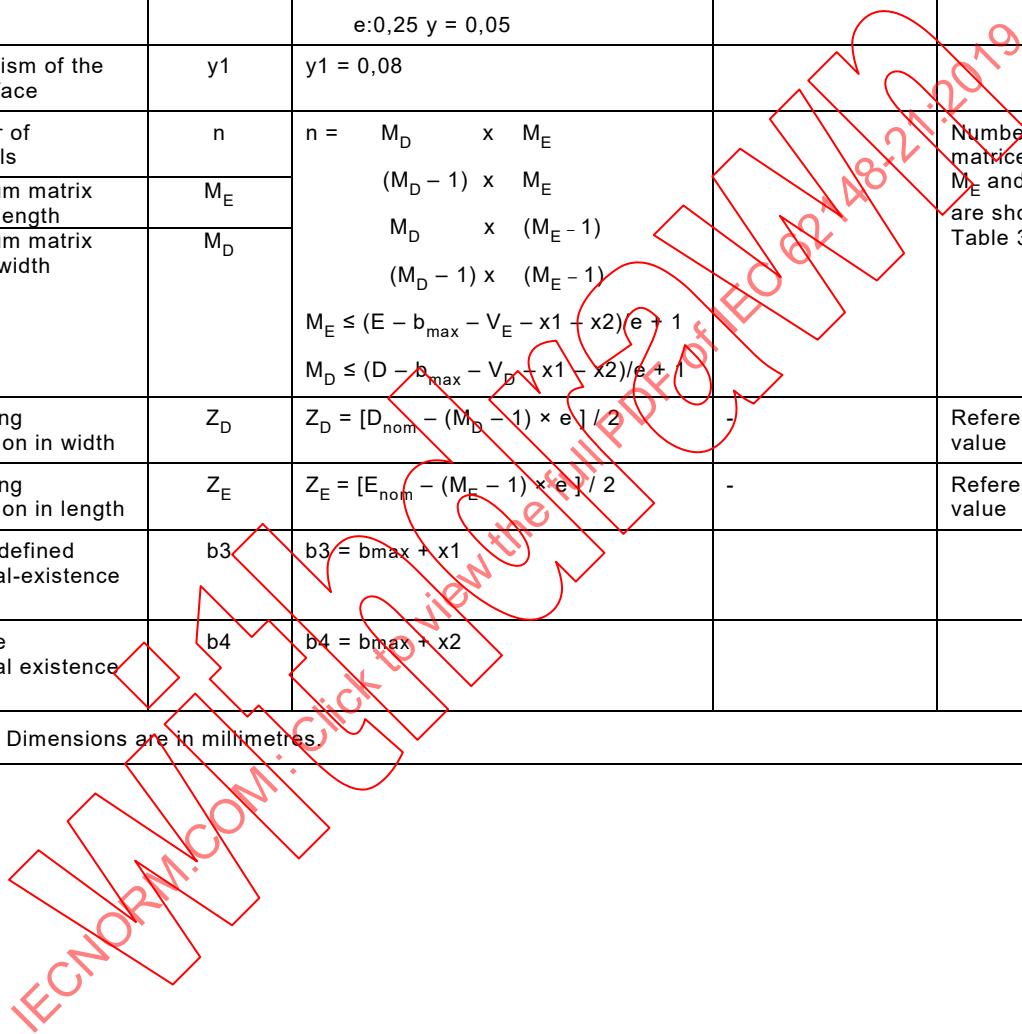


Table 2 – Combination list of D, E, M_D, and M_E for e = 0,30 mm pitch S-FBGA (informative)

BGA b _{max} = 0,23		
D or E mm	M _D or M _E	M _D -1 or M _E -1
0,69-0,98	2	-
0,99-1,28	3	2
1,29-1,58	4	3
1,59-1,88	5	4
1,89-2,18	6	5
2,19-2,48	7	6
2,49-2,78	8	7
2,79-3,08	9	8
3,09-3,38	10	9
3,39-3,68	11	10
3,69-3,98	12	11
3,99-4,28	13	12
4,29-4,58	14	13
4,59-4,88	15	14
4,89-5,18	16	15
5,19-5,48	17	16
5,49-5,78	18	17
5,79-6,08	19	18
6,09-6,38	20	19
6,39-6,68	21	20
6,69-6,98	22	21
6,99-7,28	23	22
7,29-7,58	24	23
7,59-7,88	25	24
7,89-8,18	26	25
8,19-8,48	27	26
8,49-8,78	28	27
8,79-9,08	29	28
9,09-9,38	30	29
9,39-9,68	31	30
9,69-9,98	32	31
9,99-10,28	33	32

Table 3 – Combination list of D, E, M_D, and M_E for e = 0,25 mm pitch S-FLGA

D or E mm	M _D or M _E	M _D -1 or M _E -1	D or E mm	M _D or M _E	M _D -1 or M _E -1
0,57-0,81	2	-	5,32-5,56	21	20
0,82-1,06	3	2	5,57-5,81	22	21
1,07-1,31	4	3	5,82-6,06	23	22
1,32-1,56	5	4	6,07-6,31	24	23
1,57-1,81	6	5	6,32-6,56	25	24
1,82-2,06	7	6	6,57-6,81	26	25
2,07-2,31	8	7	6,82-7,06	27	26
2,32-2,56	9	8	7,07-7,31	28	27
2,57-2,81	10	9	7,32-7,56	29	28
2,82-3,06	11	10	7,57-7,81	30	29
3,07-3,31	12	11	7,82-8,06	31	30
3,32-3,56	13	12	8,07-8,31	32	31
3,57-3,81	14	13	8,32-8,56	33	32
3,82-4,06	15	14	8,57-8,81	34	33
4,07-4,31	16	15	8,82-9,06	35	34
4,32-4,56	17	16	9,07-9,31	36	35
4,57-4,81	18	17	9,32-9,56	37	36
4,82-5,06	19	18	9,57-9,81	38	37
5,07-5,31	20	19	9,82-10,06	39	38

IECNORM.COM: Click to view the full PDF of IEC 62148-21:2019

Bibliography

IEC 60191-6-22, *Mechanical standardization of semiconductor devices – Part 6-22: General rules for the preparation of outline drawings of surface mounted semiconductor device packages – Design guide for semiconductor packages Silicon Fine-pitch Ball Grid Array and Silicon Fine-pitch Land Grid Array (S-FBGA and S-FLGA)*

IEC 62148-1, *Fibre optic active components and devices – Package and interface standards – Part 1: General and guidance*

IEC 62148-19¹, *Fibre optic active components and devices – Package and interface standards – Part 19: Photonic chip scale package*

¹ Under preparation. Stage at the time of publication: IEC/TFDIS 62148-19:2018.

SOMMAIRE

AVANT-PROPOS	15
1 Domaine d'application	17
2 Références normatives	17
3 Termes et définitions	17
4 Numérotation des positions de bornes	18
5 Code des dimensions nominales de boîtier	18
6 Symboles et dessins	18
7 Dimensions et tolérances	20
Bibliographie	25
Figure 1 – Encombrement du S-FBGA et du S-FLGA	19
Figure 2 – Dessin de gabarit mécanique	20
Figure 3 – Matrice de zones d'existence de bornes	20
Tableau 1 – Dimensions et tolérances	21
Tableau 2 – Liste de combinaisons de D , E , M_D , et M_E pour $e =$ pas de 0,30 mm, S-FBGA (à titre informatif)	23
Tableau 3 – Liste de combinaisons de D , E , M_D , et M_E pour $e =$ pas de 0,25 mm, S-FLGA	24

IECNORM.COM: Click to view the full PDF of IEC 62148-21:2019

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

**COMPOSANTS ET DISPOSITIFS ACTIFS FIBRONIQUES –
NORMES DE BOÎTIER ET D'INTERFACE –****Partie 21: Guide de conception de l'interface électrique
des boîtiers PIC utilisant des boîtiers matriciels à billes et
à pas fins en silicium (S-FBGA) et des boîtiers matriciels
à zone de contact plate et à pas fins en silicium (S-FLGA)**

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente Publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets et de ne pas avoir signalé leur existence.

La Norme internationale IEC 62148-21 a été établie par le sous-comité 86C: Systèmes et dispositifs actifs à fibres optiques, du comité d'études 86 de l'IEC: Fibres optiques.

Le texte de cette Norme internationale est issu des documents suivants:

FDIS	Rapport de vote
86C/1571/FDIS	86C/1577/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme internationale.

Ce document a été rédigé selon les Directives ISO/IEC, Partie 2.

Une liste de toutes les parties de la série IEC 62148, publiées sous le titre général *composants et dispositifs actifs fibroniques – Normes de boîtier et d'interface*, peut être consultée sur le site web de l'IEC.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives au document recherché. A cette date, le document sera

- reconduit,
- supprimé,
- remplacé par une édition révisée, ou
- amendé.

IECNORM.COM: Click to view the full PDF of IEC 62148-21:2019

COMPOSANTS ET DISPOSITIFS ACTIFS FIBRONIQUES – NORMES DE BOÎTIER ET D'INTERFACE –

Partie 21: Guide de conception de l'interface électrique des boîtiers PIC utilisant des boîtiers matriciels à billes et à pas fins en silicium (S-FBGA) et des boîtiers matriciels à zone de contact plate et à pas fins en silicium (S-FLGA)

1 Domaine d'application

La présente partie de l'IEC 62148 traite du guide de conception de l'interface électrique destinée aux boîtiers de circuits intégrés photoniques (PIC) utilisant des boîtiers matriciels à billes et à pas fins en silicium (S-FBGA) et des boîtiers matriciels à zone de contact plate et à pas fins en silicium (S-FLGA). Dans le présent document, l'interface électrique destinée au boîtier S-FBGA est présentée à titre informatif.

L'objet du présent document est de spécifier de manière adéquate l'interface électrique des boîtiers PIC composés d'émetteurs et de récepteurs optiques qui permettent l'interchangeabilité électrique et mécanique des boîtiers PIC.

2 Références normatives

Les documents suivants cités dans le texte constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 60050-731, *Vocabulaire Electrotechnique International – Chapitre 731: Télécommunications par fibres optiques*

IEC TR 61931, *Fibres optiques – Terminologie*

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions de l'IEC 60050-731, de l'IEC TR 61931, ainsi que les suivants, s'appliquent.

L'ISO et l'IEC tiennent à jour des bases de données terminologiques destinées à être utilisées en normalisation, consultables aux adresses suivantes:

- IEC Electropedia: disponible à l'adresse <http://www.electropedia.org/>
- ISO Online browsing platform: disponible à l'adresse <http://www.iso.org/obp>

3.1

boîtier matriciel à billes et à pas fins en silicium S-FBGA

dispositif composé d'une puce en silicium, d'une ou de plusieurs couches diélectriques disposées sur la puce, de fils de routage provenant des pastilles de la puce et arrivant sur des billes extérieures disposées sur la ou les couches diélectriques, et de billes extérieures dont les hauteurs sont supérieures à 0,1 mm

Note 1 à l'article: Le terme abrégé "S-FBGA" est dérivé de l'anglais "*silicon fine-pitch ball grid array*".

3.2

boîtier matriciel à zone de contact plate et à pas fins en silicium

S-FLGA

dispositif composé d'une puce en silicium, d'une ou de plusieurs couches diélectriques disposées sur la puce, de fils de routage provenant des pastilles de la puce et arrivant sur des zones de contact plates extérieures disposées sur la ou les couches diélectriques, et de zones de contact plates extérieures ayant des hauteurs inférieures ou égales à 0,1 mm

Note 1 à l'article: Le terme abrégé "S-FLGA" est dérivé de l'anglais "*silicon fine-pitch land grid array*".

4 Numérotation des positions de bornes

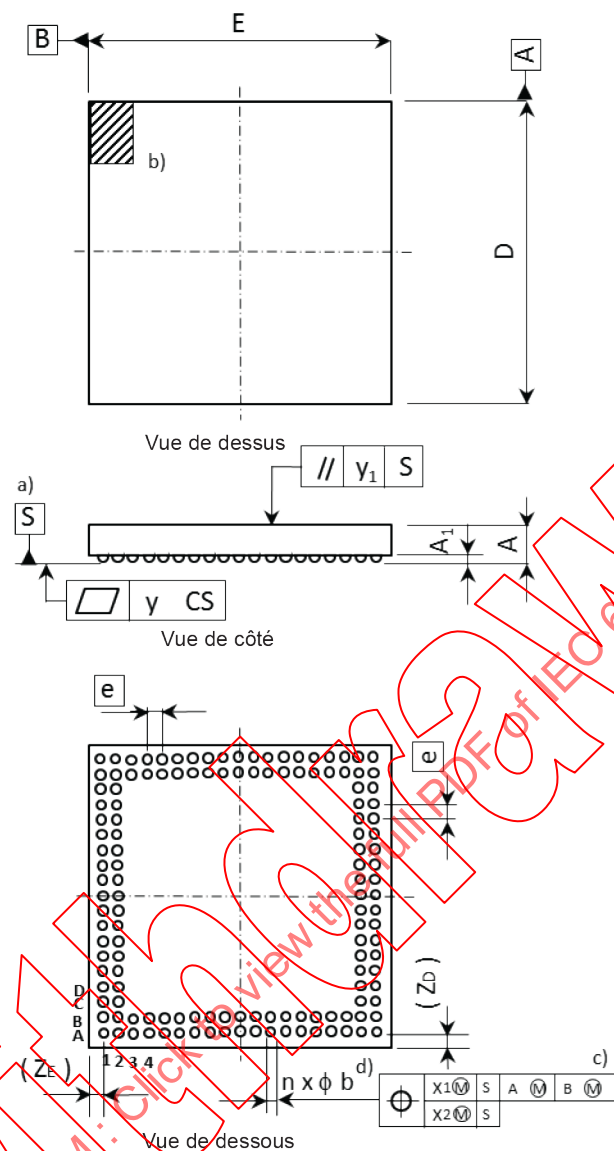
L'observation d'un boîtier vu du côté bornes avec le repère disposé à l'angle inférieur gauche donne lieu à un repérage des rangées de bornes du bas vers le haut en commençant par la lettre A, puis B, C..., AA, AB, etc., les colonnes de bornes étant, pour leur part, numérotées de gauche à droite en commençant par le chiffre 1. Les positions des bornes sont désignées par un système de grille rangée-colonne et sont identifiées sous forme alphanumérique, par exemple A1, B1. Les lettres I, O, Q, S, X et Z ne doivent pas être utilisées pour désigner les rangées de bornes.

5 Code des dimensions nominales de boîtier

Un code des dimensions nominales de boîtier est défini comme étant la combinaison de la largeur D et de la longueur E du boîtier, lesquelles sont représentées en millimètres avec deux décimales.

6 Symboles et dessins

La Figure 1 représente les dimensions du boîtier et l'encombrement de l'interface électrique pour les S-FBGA et les S-FLGA. La Figure 2 et la Figure 3 donnent le dessin de gabarit mécanique et la matrice correspondante de zones d'existence de bornes. La Figure 2 représente la zone d'existence de bornes déterminée par rapport aux références S, A et B. La Figure 3 représente la zone d'existence de bornes déterminée par rapport à la référence S.

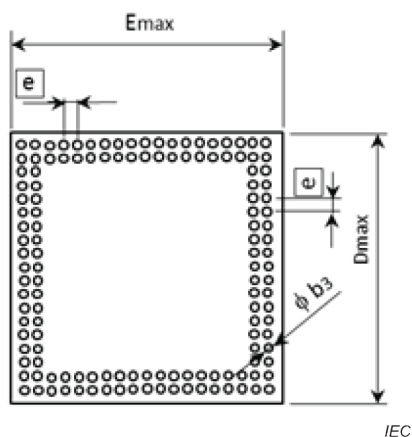


IEC

Les symboles littéraux utilisés dans la figure sont énumérés et décrits dans le Tableau 1.

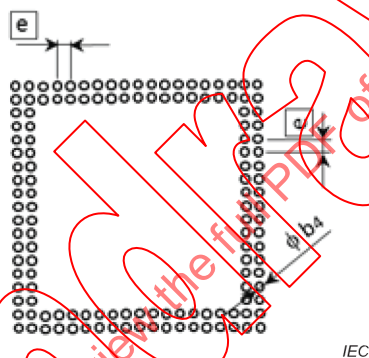
- La référence S est le plan d'appui sur lequel repose un boîtier.
- La zone hachurée est une surface de marquage de repère indiquant le coin $A1$.
- Les tolérances de position réelles des bornes, $x1$ et $x2$, sont appliquées à toutes les bornes.
- Le diamètre de borne b est le diamètre maximal de la bille mesuré dans un plan parallèle au plan d'appui.

Figure 1 – Encombrement du S-FBGA et du S-FLGA



Les symboles littéraux utilisés dans la figure sont énumérés et décrits dans le Tableau 1.

Figure 2 – Dessin de gabarit mécanique



Les symboles littéraux utilisés dans la figure sont énumérés et décrits dans le Tableau 1.

Figure 3 – Matrice de zones d'existence de bornes

7 Dimensions et tolérances

Le Tableau 1 spécifie la tolérance de chaque paramètre de symbole; le Tableau 2 et le Tableau 3 indiquent les options concernant D , E , M_D et M_E .

Tableau 1 – Dimensions et tolérances

Terme	Symbole	Spécification	Valeur recommandée	Notes
Code des dimensions nominales de boîtier	D X E	Le code des dimensions nominales de boîtier est défini comme étant la combinaison de la largeur D et de la longueur E du boîtier, lesquelles sont représentées en millimètres avec deux décimales	-	-
Largeur de boîtier	D	La largeur de boîtier est représentée avec deux décimales Largeur de boîtier D_{nom} Minimale 0,50 Maximale 10,00 Tolérance V_D $\pm 0,05$		V_D désigne la tolérance.
Longueur de boîtier	E	La longueur de boîtier est représentée avec deux décimales Longueur de boîtier E_{nom} Minimale 0,50 Maximale 10,00 Tolérance V_E $\pm 0,05$		V_E désigne la tolérance
Hauteur de profil	A	Lorsque A est $\leq 0,65$, la tolérance de la hauteur nominale est $\pm 0,07$. Lorsque $0,8 \leq A \leq 1,0$, la tolérance de la hauteur nominale est $\pm 0,10$. A ne doit pas dépasser 1,0.		A inclut le gauchissement du boîtier et les tolérances d'inclinaison.
Hauteur d'élévation	A1	1) Pour un S-FBGA (à titre informatif) e: 0,3 b_{nom} : 0,2 min 0,1 nom 0,15 max 0,2 Pour un S-FBGA à faible élévation $A1 \leq 0,20$ 2) Pour un S-FLGA e: 0,25 $A1 \leq 0,10$		
Pas entre bornes	e	1) Pour un S-FBGA (à titre informatif) 0,3 2) Pour un S-FLGA 0,25		

Diamètre de borne	b	1) Pour un S-FBGA (informatif) e: 0,3 min 0,17 nom 0,20 max 0,23 2) Pour un S-FLGA e: 0,25 min 0,10 nom 0,13 max 0,16		
Tolérance de position des bornes par rapport à la référence	x1	x1 = 0,08		
Tolérance relative de position des bornes	x2	1) Pour un S-FBGA (à titre informatif) e:0,3 x2 = 0,03 2) Pour un S-FLGA e:0,25 x2 = 0,03		
Coplanarité	y	1) Pour un S-FBGA (à titre informatif) e:0,3 y = 0,05 2) Pour un S-FLGA e:0,25 y = 0,05		
Parallélisme de la surface supérieure	y1	y1 = 0,08		
Nombre de bornes	n	$n = M_D \times M_E$		Les nombres de matrices en M_E et M_D sont indiqués dans le Tableau 3.
Dimension maximale de matrice en longueur	M_E	$(M_D - 1) \times M_E$		
Dimension maximale de matrice en largeur	M_D	$M_D \times (M_E - 1)$ $(M_D - 1) \times (M_E - 1)$ $M_E \leq (E - b_{max} - V_E - x1 - x2)/e + 1$ $M_D \leq (D - b_{max} - V_D - x1 - x2)/e + 1$		
Dimension du dépassement en largeur	Z_D	$Z_D = [D_{nom} - (M_D - 1) \times e] / 2$	-	Valeur de référence
Dimension du dépassement en longueur	Z_E	$Z_E = [E_{nom} - (M_E - 1) \times e] / 2$	-	Valeur de référence
Zone d'existence de bornes définie par rapport à la référence	b3	b3 = bmax + x1		
Zone relative d'existence de bornes	b4	b4 = bmax + x2		
NOTE Les dimensions sont en millimètres.				